

POLITECHNIKA ŁÓDZKA
Wydział Elektrotechniki, Elektroniki,
Informatyki i Automatyki

Praca Doktorska
STRESZCZENIE

Projektowanie i optymalizacja systemów fonicznych

Mariusz Owczarek

Promotorzy:
prof. dr hab. Zbigniew Lisik
(Politechnika Łódzka)

Prof. Ian O'Connor
(Ecole Centrale de Lyon, France)

Łódź, 2017

1. Wstęp

Rozwój współczesnej elektroniki uwarunkowany jest głównie możliwościami miniaturyzacji układów VLSI, które zawsze wymagają szybkich i pewnych połączeń. Postęp w dziedzinie miniaturyzacji wymusza zastosowanie połączeń metalicznych o bardzo małych przekrojach, rzędu mikrometrów, do transmisji sygnału o częstotliwości rzędu GHz. W takich warunkach zapewnienie odpowiedniej jakości transmitowanego sygnału jest niezwykle trudne i wymaga stosowania dodatkowych zabiegów, tj. wstawiania układów buforujących, których zadaniem jest ‘odświeżanie’ transmitowanego sygnału. Komplikuje to budowę całego układu i powiększa rozpraszaną w nim moc.

Transmisja sygnału drogą optyczną może być tym rozwiązaniem, które usunie lub istotnie zminimalizuje te problemy. Połączenia optyczne od lat 70-tych XX wieku sukcesywnie zastępują połączenia elektryczne, od najdłuższych do coraz krótszych. Sygnał optyczny w porównaniu z sygnałem elektrycznym charakteryzuje się szerszym pasmem, mniejszą wrażliwością na zakłócenia czy podsłuch, a jego przesyłanie nie wymaga stosowania buforów pośrednich. Niestety, te cechy światła dają najbardziej widoczny zysk przy połączeniach długich, a wraz ze skróceniem odległości transmisji uwidoczniają się problemy konwersji sygnału optycznego na elektryczny. Bufory optyczne pracujące w systemach telekomunikacyjnych nie spełniają wymogów dla połączeń krótkich, przez co całe połączenie optyczne nie oferuje spodziewanej wartości dodanej. Ich główną słabością jest stosunkowo duża wartość strat własnych, mieszcząca się zwykle w zakresie od kilku do kilkudziesięciu mW.

Praca ta stanowi część badań prowadzonych w laboratoriach LEOM w Ecole Centrale de Lyon (Francja) oraz w Katedrze Przyrządów Półprzewodnikowych i Optoelektronicznych Politechniki Łódzkiej, które dotyczą możliwości aplikacji połączeń optycznych w miejsce elektrycznych. W jej ramach zajęto się zbadaniem możliwości wykonania przed-wzmacniacza, który jest podstawowym elementem bufora optycznego, o istotnie mniejszej wartości strat własnych. W tym celu opracowano multi-kryterialną procedurę optymalizacyjną umożliwiającą wykonanie projektu bufora o zadanych parametrach oraz zaimplementowano ten algorytm w języku Java. Wykorzystano go do optymalizacji pięciu wybranych układów takiego wzmacniacza, dla których przeprowadzono proces ich optymalizacji pod kątem

wybranych parametrów, w tym poboru mocy. Dla dwóch z nich zaprojektowano, wykonano i scharakteryzowano struktury ASIC.

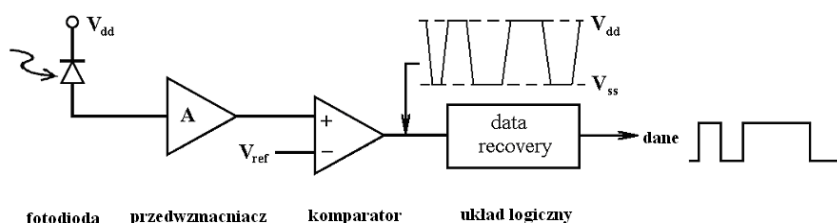
Tezy rozprawy zostały sformułowane w następujący sposób:

- Istnieje możliwość opracowania procedury optymalizacyjnej pozwalającej na zaprojektowanie przedwzmacniacza odbiornika optycznego dla krótkich optycznych linii transmisyjnych charakteryzujących się małym poborem mocy

- Zaprojektowane układy przedwzmacniaczy mogą zostać zrealizowane jako struktury ASIC przy użyciu istniejących technologii

2. Układ bufora optycznego

Typowy układ bufora optycznego jest przedstawiony na Rys. 1. Składa się on z fotodetektora, przedwzmacniacza, komparatora i wyjściowego układu logicznego. Sygnał optyczny zamieniany jest przez fotodetektor (najczęściej fotodiodę p-i-n) na sygnał prądowy, który z kolei jest zamieniany na sygnał napięciowy w układzie przedwzmacniacza. Następnie sygnał ten jest wzmacniany i przekształcany w przetworniku A/C do postaci cyfrowej według standardu przyjętego dla danego układu VLSI.



Rys. 1. Typowy układ bufora optycznego.

W dalszej części pracy skoncentrowano się tylko na dwóch pierwszych elementach całego bufora, czyli na fotodetektorze oraz na układzie przedwzmacniacza. Ich właściwe zaprojektowanie jest niezwykle ważne, ponieważ mają one największy wpływ na parametry całego bufora optycznego.

3. Fotodetektor

Pierwszym elementem układu bufora optycznego jest fotodetektor, zamieniający sygnał optyczny na sygnał elektryczny. Z uwagi na prostą konstrukcję i kompatybilność

z technologiami półprzewodnikowymi najczęściej wykorzystuje się fotodetektory półprzewodnikowe złączowe, z których najbardziej popularne to: fotodiody p-i-n, fotodiody lawinowe oraz fototranzystory. Porównanie ich podstawowych cech zostało przedstawione w tabeli 1.

Tabela 1

Porównanie podstawowych parametrów detektorów złączowych.

Detektor	Graniczna częstotliwość pracy	Czułość	Warunki polaryzacji
Fotodiody p-i-n	10 - 100 GHz	0,3 – 1 A/W	1 - 20 V
Fotodiody lawinowe	< 10 GHz	10 – 70 A/W	> 100 V
Fototranzystory	< 1 MHz	1 – 10 A/W	1 – 20 V

Fotodiody p-i-n jest najprostszym, a jednocześnie najczęściej wykorzystywanym typem fotodetektora półprzewodnikowego, o prądzie wstecznym liniowo zależnym od natężenia padającego światła, zgodnie z relacją (1), gdzie: η – wydajność kwantowa, q – ładunek elementarny, A – powierzchnia detektora, Φ – gęstość strumienia fotonów, h – stała Plancka, c – prędkość światła.

$$I_{ph} = \eta q A \Phi / hc \quad (1)$$

Fotodiody najczęściej polaryzuje się wstecznie napięciem kilku woltów, aby zmniejszyć jej pojemność złączową, co z kolei przekłada się na zwiększenie jej granicznej częstotliwości pracy. Powoduje to niestety pogorszenie jej parametrów szumowych i dlatego wtedy, kiedy istnieje potrzeba maksymalnego wykorzystania czułości odbiornika, stosuje się układy bez polaryzacji wstecznej fotodiody.

Fotodiody lawinowe różni się od diody p-i-n, że domieszkowanie obszaru słabo domieszkowanego jest na tyle wysokie, że przy stosunkowo wysokim napięciu wstecznym (zazwyczaj > 100V) pojawia się w nim efekt powielania lawinowego. Prowadzi to do tzw. zjawiska wewnętrznego wzmocnienia sygnału, dzięki któremu fotodiody lawinowe mają bardzo dużą czułość i krótki czas reakcji. Jej wadą jest wymagane wysokie napięcie polaryzujące, co znacznie ogranicza zakres zastosowań tego detektora, z uwagi na możliwość

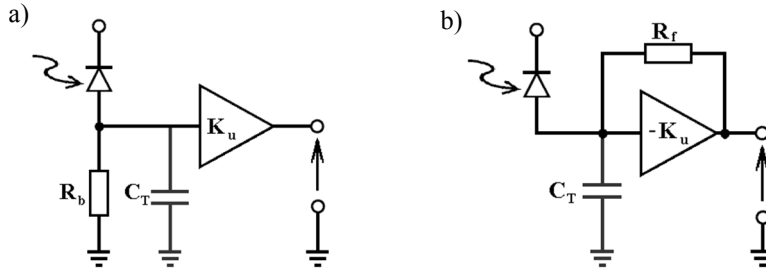
wystąpienia przebicia w układach z nią współpracujących oraz na ograniczenia technologii CMOS.

Fototranzystor to w zasadzie typowy tranzystor bipolarny, w którym baza jest eksponowana na działanie promieniowania elektromagnetycznego. Prąd złożony z nośników generowanych przez fotony jest wzmacniany podobnie jak w zwykłym tranzystorze bipolarnym. Z uwagi na wykorzystanie efektu tranzystorowego, fototranzystory mają większą czułość niż fotodiody, charakteryzują się natomiast dłuższym czasem odpowiedzi.

Detektorem, który najlepiej nadaje się do zastosowań w buforach optycznych jest fotodioda p-i-n. Ma ona prostą konstrukcję i jest pozbawiona wad innych omówionych detektorów.

4. Przedwzmacniacz

Podstawowym zadaniem układu przedwzmacniacza w buforach optycznych jest przetworzenie sygnału prądowego fotodetektora na sygnał napięciowy o amplitudzie przynajmniej 50 mV, który będzie mógł być dalej kształtowany przez kolejne stopnie bufora. Najprostszym elementem elektronicznym, który może zostać użyty do konwersji sygnału prądowego na napięciowy, jest rezystor. Zmiana fotoprądu płynącego przez rezystor powoduje zmianę występującego na nim napięcia, a ten sygnał może być z kolei wzmocniony przez wzmacniacz napięcia, jak to przedstawiono na rys. 2.a. W przedstawionym układzie możliwe są dwa warianty jego realizacji, odpowiednio, z dużą wartością R_b (ang. High-Impedance Amplifier) lub z małą wartością R_b (ang. Low-Impedance Amplifier). W pierwszym przypadku, nawet niewielka zmiana prądu generowanego przez fotodetektor powoduje dużą zmianę napięcia. Układy tego typu mają dużą czułość oraz niski poziom szumów, co jest jednak okupione zmniejszoną częstotliwością graniczną układu, wynikającą z dużej wartości stałej czasowej $R_b C_T$. W skrajnym przypadku ciemny prąd fotodiody może spowodować taki wzrost napięcia, że fotodioda będzie stale nasycona i detekcja promieniowania nie będzie możliwa. Przy małej wartości rezystora R_b , sytuacja jest odwrotna, układ będzie miał szerokie pasmo, dobre właściwości dynamiczne natomiast będzie on podatny na szумы i będzie miał małą czułość.



Rys. 2. Przedwzmacniacz: a) z otwartą pętlą, b) wzmacniacz transimpedancyjny (pojemność pasożytnicza C_T reprezentuje całkowitą pojemność wejściową układu).

Rozwiązaniem kompromisowym i jednocześnie najczęściej stosowanym w praktyce jest przedstawiony na rys 2.b układ wzmacniacza transimpedancyjnego, w skrócie TIA. W tym przypadku, rezystor jest w pętli sprzężenia zwrotnego, zamykającej układ wzmacniacza napięciowego. Układ ten jest uważany za rozwiązanie optymalne, gdyż umożliwia uzyskanie relatywnie dużych częstotliwości pracy przy dużym współczynniku wzmocnienia. Równanie (2) określa szerokość pasma dla wzmacniacza z otwartą pętlą, a równanie (3) dla wzmacniacza ze sprzężeniem zwrotnym.

$$BW_{OL} = \frac{1}{2\pi R_b C_T} \quad (2)$$

$$BW_{TIA} = \frac{K_u}{2\pi R_f C_T} \quad (3)$$

Jak widać, wpływ pojemności fotodiody oraz pojemności wejściowej układu przedwzmacniacza w przypadku wzmacniaczy transimpedancyjnych jest K_u razy mniejszy (K_u – wzmocnienie napięciowe pętli otwartej). Dzięki temu możliwe jest uzyskanie w układzie TIA takiej samej szerokości pasma przy rezystancji R_f znacznie mniejszej niż R_b . Jeśli $R_f = R_b$ wzmacniacz transimpedancyjny będzie miał szersze pasmo niż analogiczny wzmacniacz z otwartą pętlą.

Z uwagi na przedstawione zalety do dalszej analizy bufora optycznego został wybrany układ TIA. W typowym układzie bufora optycznego sygnał wyjściowy z przedwzmacniacza jest podawany na wzmacniacz napięciowy oraz/lub komparator, który poprawia jakość zbrocza i ustala amplitudę, a następnie na znajdujący się na wyjściu bufora układ logiczny, ustalający

sygnał cyfrowy w zadanym standardzie. Te końcowe stopnie bufora optycznego nie będą jednak analizowane w dalszej części pracy, gdyż ich konstrukcja ma znaczenie drugorzędne, a znane rozwiązania mają zadowalające parametry.

5. Przegląd układów TIA

Dotychczas opracowano wiele koncepcji układów TIA, które mogą pracować jako wzmacniacze napięcia w buforach optycznych. Aby dokonać ich przeglądu w niniejszym opracowaniu, dokonano podziału układów ze względu na topologię jak i technologię wykonania. Układy te dość znacznie różnią się parametrami i choć w wielu aplikacjach sprawdzają się najprostsze konstrukcje, to ich optymalizacja nie zawsze jest łatwa. Najczęściej wykorzystuje się układy bazujące na konstrukcji inwertera (technologia CMOS), wspólnego emitera lub wspólnej bazy (technologie bipolarne), bowiem przy umiejętnej optymalizacji można dzięki nim uzyskać układy o parametrach wystarczających dla większości zastosowań. Wzmacniacz TIA różnicowy stosuje się najczęściej w systemach szczególnie narażonych na zakłócenia i szumy, bowiem ta konstrukcja pozwala wyeliminować promieniowanie tła.

6. Technologia wykonania

W rozważanych połączeniach układ odbiornika będzie zintegrowany z krzemowym układem VLSI, zatem technologia w jakiej wykonany będzie bufor optyczny, a w szczególności układ TIA, powinna być kompatybilna z technologią CMOS. W tabeli 2 przedstawiono parametry kilku opublikowanych układów TIA, które mogą znaleźć zastosowanie w rozważanych połączeniach.

Tabela 2.

Przykładowe parametry opublikowanych układów TIA.

Technologia / V_{dd} [V]	Moc [mW]	Bit rate [Gb/s]	Źródło
0.35 μm CMOS / 3.3 0.35 μm CMOS / 2.2	6 1.5	1	[WOOD-99]
0.8 μm CMOS / 5	7.5	0.8	[NAKA-99]
0.35 μm CMOS / 2	200	1.25	[SCHR-02]

0.7 μm CMOS / 3.3	26.5	0.6	[INGE-99]
0.8 μm CMOS	1-10	0.8	[INGE-99]
BiCMOS/5 ($V_{pd} = 17\text{V}$)	155	1.5	[SWOB-03]
0.25 μm CMOS / 2.5	27	1	[PARK1-04]
Si\SiGe HBT/2	6	11	[QASA-00]
Si\SiGe HBT/2.5	10	8	[PARK2-04]
Si\SiGe HBT/4.2-5	200	20	[WEIN-03]

Technologia CMOS jest najbardziej popularna i dość łatwa w produkcji. Należy jednak zwrócić uwagę na fakt, że uzyskanie granicznej częstotliwości pracy powyżej 1 GHz nastęca pewnych trudności. Najniższy poziom wydzielanej mocy to ok. 1,5 mW przy 1 Gb/s.

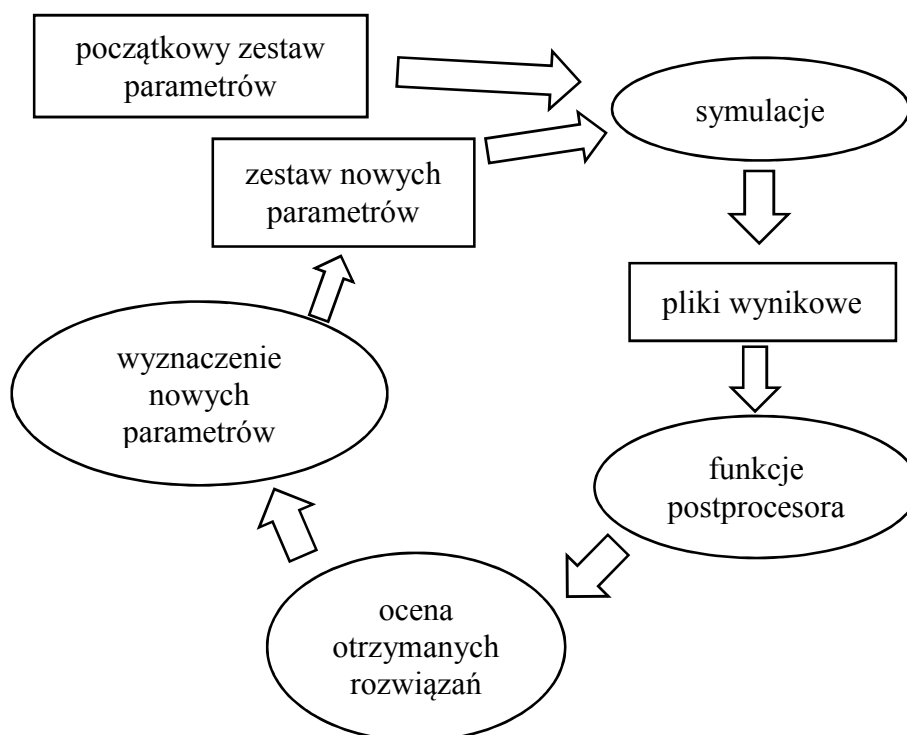
Technologia BiCMOS łączy w sobie możliwość wykorzystania tranzystorów bipolarnych razem z tranzystorami MOS, co zwiększa możliwości projektowe. Ponadto możliwa jest polaryzacja wsteczna fotodiody (V_{pd}) większym napięciem niż napięcie zasilania całego układu (V_{dd}), co umożliwia dodatkowe zmniejszenie pojemności łączowej fotodiody i powoduje zwiększenie granicznej częstotliwości pracy układu. Należy zauważyć, że układy wykorzystujące technologię bipolarną charakteryzują się znacznie większą częstotliwością pracy niż układy CMOS, co jednak jest okupione znacznymi stratami mocy.

Technologia HBT (najczęściej oferowana jako odmiana technologii BiCMOS, np. SGD25V opracowana przez IHP Microelectronics) opiera się na wykorzystaniu tranzystorów heterozłączowych. Przyrządy te zbudowane są z przynajmniej dwóch różnych półprzewodników, co otwiera możliwości tzw. inżynierii przerwy energetycznej, dzięki czemu mogą one osiągać bardzo wysokie częstotliwości graniczne oraz duże wzmocnienie prądowe. Wśród technologii heterozłączowych bardzo obiecująca jest technologia Si/SiGe, gdzie bazę tranzystora wykonuje się z krzemogermanu, a emiter i kolektor z krzemu. Dodatek germanu w obszarze bazy powoduje powstanie w niej silnego, wbudowanego pola elektrycznego. Pole to przyspiesza nośniki mniejszościowe na ich drodze z emitera do kolektora i przez to znacznie zwiększa częstotliwości graniczne tranzystora, nawet do 300 GHz. Technologia ta jest kompatybilna z technologią krzemową, a koszty produkcji, w porównaniu do odpowiedniej technologii CMOS, są wyższe jedynie o ok. 15%. Wykorzystując krzemogerman można także

konstruować zintegrowane odbiorniki optyczne, w który fotodioda umożliwiająca absorpcję światła o długości 1550nm jest wykonywana w jednym procesie technologicznym z układem TIA.

7. Optymalizacja – program RUNE

Koncepcja programu RUNE została opracowana w laboratorium LEON na Ecole Centrale de Lyon (Francja). Jego nazwa to akronim z frazy *platfoRm aUtomated aNy dESign*. Jak sugeruje nazwa, program został pomyślany jako platforma automatyzująca różnorakie projekty pod względem wielu kryteriów. W programie wykorzystano metodę frontów Pareto oraz autorską implementację algorytmu genetycznego, a obliczenia dla poszczególnych rozwiązań wykonywane są przy użyciu zewnętrznego symulatora (na potrzeby tego projektu korzystano ze Spectre – części pakietu Cadence). Przebieg pętli optymalizacyjnej został przedstawiony na Rys. 3, gdzie w blokach prostokątnych oznaczono zestawy danych, a owalami oznaczono kroki wymagające obliczeń.



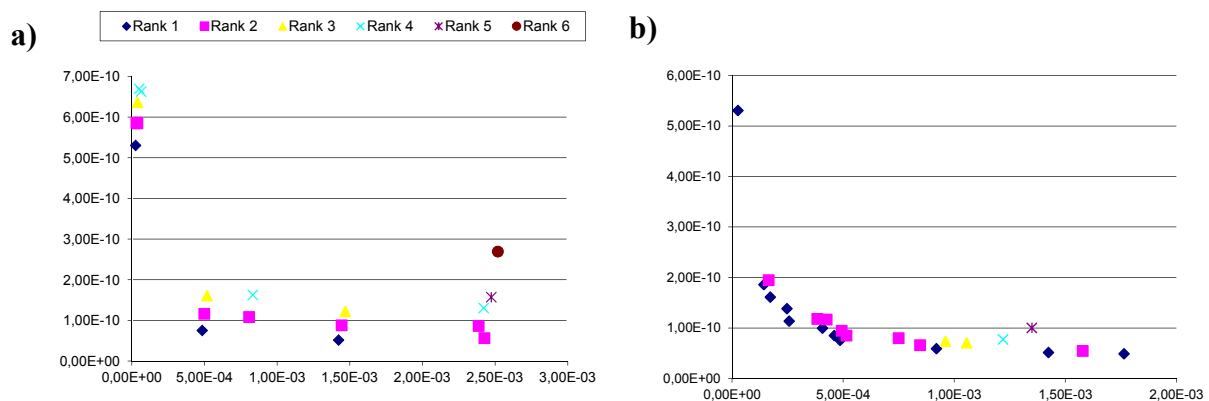
Rys. 3. Koncepcja działania programu RUNE

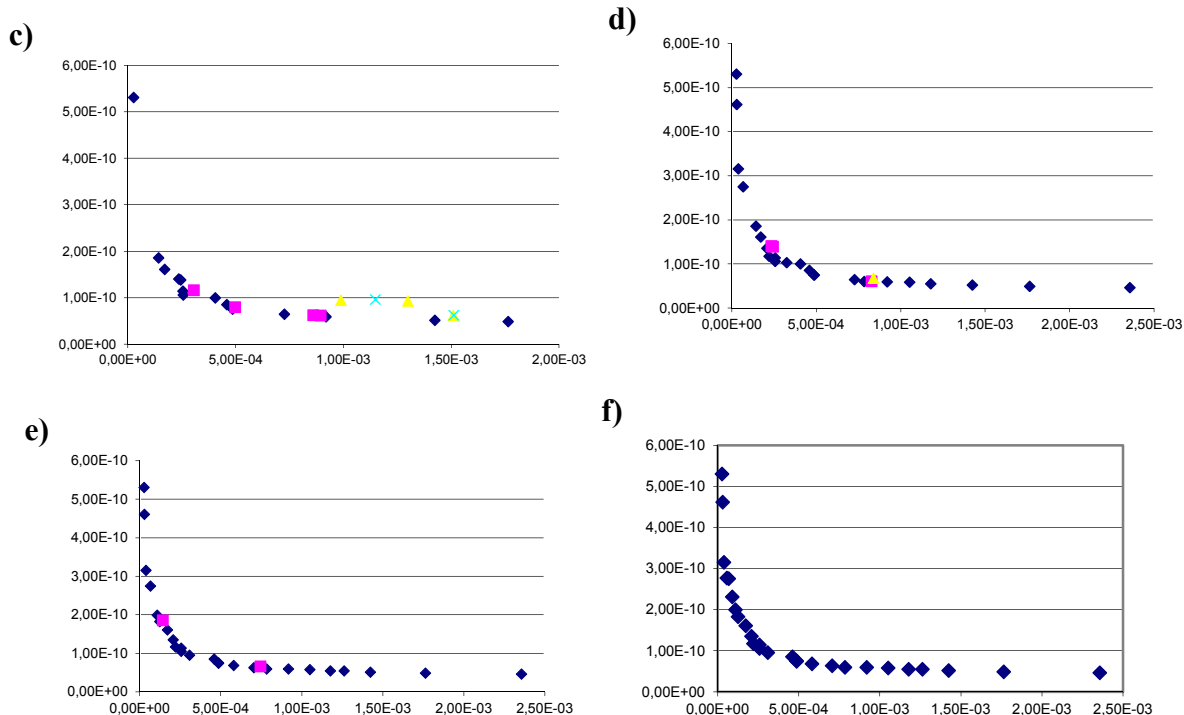
Program wymaga podania początkowego zestawu parametrów, które np. jako netlisty będą analizowane w zewnętrznym symulatorze. Po wykonaniu wszystkich symulacji

(DC, AC), z plików wynikowych ekstrahowane są konkretne wartości optymalizowanych wielkości, np. szerokość pasma (BW), wydzielona moc (P), wzmacnienie (G). Następnie wszystkie analizowane rozwiązania dzielone są na fronty Pareto na podstawie definicji punktów niezdominowanych i przydatności konkretnego rozwiązania pod kątem przyjętych kryteriów. Kolejnym krokiem jest usunięcie z puli rozwiązań tych najsłabszych oraz powołanie na ich miejsce zestawu nowych, potencjalnie lepszych parametrów z użyciem operacji algorytmu genetycznego (krzyżowanie, mutacja). Dla nowych punktów również wykonywane są symulacje i ekstrakcja wyników, a następnie włączone są do tworzonego kolejnego zestawu frontów Pareto.

Jak wspomniano, podział rozwiązań na fronty Pareto odbywa się na podstawie definicji punktów niezdominowanych, która mówi, że za niezdominowany przyjmuje się taki punkt danego zbioru, który w każdym przyjętym kryterium porównawczym ma nie gorsze właściwości niż inny porównywany punkt z tego zbioru. Punkty należące do tego samego frontu Pareto są względem siebie niezdominowane. Podział punktów na fronty Pareto odbywa się przez znalezienie wszystkich punktów niezdominowanych, oznaczeniu ich jako należące do frontu o randze 1, a następnie przeprowadzeniu tej samej analizy dla punktów pozostałych, oznaczając rangą 2. Procedurę powtarza się dopóki wszystkie punkty nie zostaną oznaczone, zwiększając oczywiście przyznawaną rangę przy każdym jej przejściu.

Cały algorytm optymalizacyjny kończy pracę, jeśli wszystkie analizowane punkty są niezdominowane, czyli całość rozwiązań układa się w jeden front Pareto. Przykład działania takiej procedury dla minimalizacji dwóch parametrów przedstawia Rys. 4. Na kolejnych wykresach Rys.4a-f widać wyraźnie dwa mechanizmy: i) liczba oznaczonych frontów Pareto maleje (do 1) oraz ii) optymalizowane rozwiązania osiągają coraz lepsze parametry, układając się na wielowymiarowej krzywej minimum.





Rys. 4. Przykłady podziałów na fronty Pareto dla punktów kolejnych generacji (oś OX: rozproszona moc [W], oś OY: 1/pasmo [Hz⁻¹]).

8. Kryterium porównawcze

Ponieważ proces optymalizacji kończy się w momencie, kiedy wszystkie punkty są sobie równe w sensie Pareto, wymagane jest przyjęcie kolejnego kryterium, które będzie pozwalało na sklasyfikowanie porównywanych rozwiązań. W celu stworzenia takiego kryterium dla potrzeb układów badanych w niniejszej pracy, zdefiniowano wskaźnik GBWP (ang. Gain-BandWidth-Power), który opisany został wzorem (4).

$$GBWP = \frac{\text{pasmo} * \text{wzmocnienie transimpedancyjne}}{\text{moc}} \quad (4)$$

Wskaźnik GBWP pozwala odnieść wartość iloczynu pasmo-wzmocnienie do mocy pobieranej przez układ (im wskaźnik ten jest większy tym dane rozwiązanie układowe jest bardziej korzystne). Parametr GBWP zdefiniowany jest w oparciu o wielkości zaciskowe i dzięki temu stanowi obiektywne i cenne kryterium porównawcze.

Przeprowadzenie klasyfikacji rozwiązań układowych z wykorzystaniem wskaźnika GBWP wymaga sformułowania pewnych warunków brzegowych, np. założenia minimalnej

szerokości pasma czy też maksymalnej mocy. Od odbiorników optycznych pracujących w projektowanych układach on-chip oczekuje się przede wszystkim niskiego poboru mocy (poniżej 1mW) oraz dużej częstotliwości granicznej pracy (powyżej 1GHz). Tylko takie rozwiązania mogą konkurować ze stosowanymi obecnie układami elektrycznymi transmisji sygnału. Ponadto przedwzmacniacz musi zapewnić sygnał wyjściowy o amplitudzie ok. 50mV, aby ten sygnał z kolei mógł być efektywnie dalej przetwarzany w kolejnych stopniach transmisji sygnału, co jest równoważne wzmocnieniu transimpedancyjnemu powyżej 1kΩ. Zatem optymalizowany układ powinien mieć współczynnik GBWP > 1 THzΩ/mW, co wynika z zebranych warunków brzegowych: BW > 1GHz, G > 1kΩ and P < 1mW. Należy także uwzględnić odpowiednie wymagania szumowe oraz zapewniać stabilność układu.

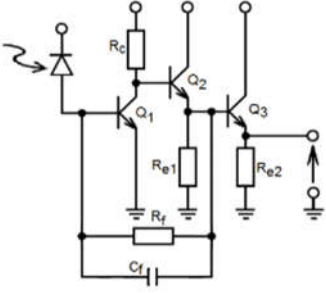
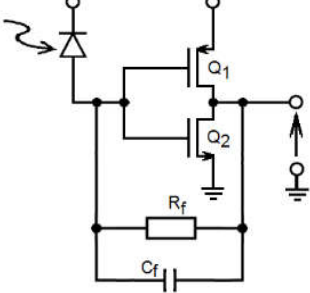
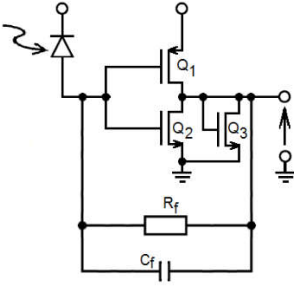
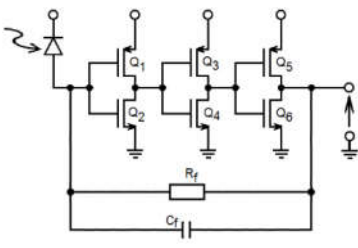
9. Wyniki optymalizacji

Spośród układów przedstawionych w tabeli 2 wybrano pięć propozycji, które pojawiały się najczęściej w aplikacjach przy połączeniach o krótkim zasięgu. Jako technologię bazową do wykonania tych układów wybrano technologię SGD25V oferowaną przez IHP Microelectronics. Układy te wraz z parametrami, które ulegały zmianom w procesie optymalizacji zebrano w tabeli 3, są to HBT 1-stopniowy, HBT 3-stopniowy, MOS-szybki inwerter, CMOS 1-stopniowy inwerter, CMOS 3-stopniowy inwerter.

Tabela 3

Układy TIA wybrane do optymalizacji

Nazwa	Schemat	Parametry optymalizowane
HBT 1-stopniowy		parametry tranzystora HBT: <ul style="list-style-type: none"> - długość emitera E_l, - współczynniki kształtu M_x, M_y, sprzężenie zwrotne: <ul style="list-style-type: none"> - rezystancja R_f - pojemność C_f, pozostałe parametry: <ul style="list-style-type: none"> - napięcie zasilania V_{dd}, - rezystancja R_c

<p>HBT-3stopniowy</p>		<p>parametry tranzystorów HBT:</p> <ul style="list-style-type: none"> - długość emitera E_{11}, E_{12}, E_{13}, - współczynniki kształtu $M_{x1}, M_{x2}, M_{x3}, M_{y1}, M_{y2}, M_{y3}$, <p>sprężenie zwrotne:</p> <ul style="list-style-type: none"> - rezystancja R_f - pojemność C_f, <p>pozostałe parametry:</p> <ul style="list-style-type: none"> - napięcie zasilania V_{dd}, - rezystancje R_{c1}, R_{e2}, R_{e3}
<p>CMOS 1-stopniowy inwerter</p>		<p>parametry tranzystorów MOSFET:</p> <ul style="list-style-type: none"> - szerokość bramki W_n, W_p, - długość bramki L_n, L_p, - współczynniki kształtu bramki Ng_n, Ng_p, <p>sprężenie zwrotne:</p> <ul style="list-style-type: none"> - rezystancja R_f - pojemność C_f <p>pozostałe parametry:</p> <ul style="list-style-type: none"> - napięcie zasilania V_{dd}
<p>MOS-szybki inverter</p>		<p>parametry tranzystorów MOSFET:</p> <ul style="list-style-type: none"> - szerokość bramki W_n, W_{p1}, W_{p2}, - długość bramki L_n, L_{p1}, L_{p2}, - współczynniki kształtu bramki Ng_n, Ng_{p1}, Ng_{p2} <p>sprężenie zwrotne:</p> <ul style="list-style-type: none"> - rezystancja R_f - pojemność C_f <p>pozostałe parametry:</p> <ul style="list-style-type: none"> - napięcie zasilania V_{dd}
<p>CMOS 3-stopniowy inwerter</p>		<p>parametry tranzystorów MOSFET:</p> <ul style="list-style-type: none"> - szerokość bramki $W_{n1}, W_{n2}, W_{n3}, W_{p1}, W_{p2}, W_{p3}$, - długość bramki $L_{n1}, L_{n2}, L_{n3}, L_{p1}, L_{p2}, L_{p3}$ - współczynniki kształtu bramki $Ng_{n1}, Ng_{n2}, Ng_{n3}, Ng_{p1}, Ng_{p2}, Ng_{p3}$, <p>sprężenie zwrotne:</p> <ul style="list-style-type: none"> - rezystancja R_f - pojemność C_f <p>pozostałe parametry:</p> <ul style="list-style-type: none"> - napięcie zasilania V_{dd}

Osiągnięte parametry wyjściowe analizowanych układów zebrano w tabeli 4. Można zauważyć, że wszystkie spełniają założone warunki brzegowe, ze szczególnym uwzględnieniem niskiego poboru mocy. Największa wartość parametru GBWP została zarejestrowana dla układu HBT 1-stopniowego i jest ona ponad 200 razy wyższa niż wartość minimalna (1 THzΩ/mW). Jednocześnie najszersze pasmo miał 3-stopniowy wzmacniacz HBT, ok. 3 GHz. Z tych powodów wzmiankowane dwa układy wybrano do realizacji jako ASIC.

Tabela 4

Rezultaty optymalizacji uzyskane za pomocą programu RUNE dla największej wartości współczynnika GBWP

Topologia	GBWP [THzΩ/mW]	BW [GHz]	P [mW]	G [kΩ]
HBT-3st	31.2	3.03	0.17	1.75
MOSfastinv	74.3	1.05	0.11	7.78
HBT-1st	231.8	1.03	0.08	18.00
CMOS3stin	198.4	1.74	0.07	7.98
CMOSinv	110.9	1.04	0.09	9.60

10. Opracowanie layoutu

Rezultatem obliczeń wykonanych przez program RUNE jest zestaw parametrów dla elementów dyskretnych, które należy potem przenieść jako poszczególne warstwy technologiczne w formie tzw. layoutu, za pomocą narzędzia Cadence Virtuoso Layout. Początkowe rozmieszczenie elementów układu jest dokonywane automatycznie, ale w następnych krokach już ręcznie rysowano kolejne warstwy połączeń, pamiętając o ograniczeniach technologicznych. Ograniczenia te są sprawdzane w sposób automatyczny jako analizy DRC i ERC (*Design Rule Check, Electric Rule Check*) i stanowiły podstawowy stopień weryfikacji poprawności layoutu.

Ograniczenia technologiczne prowadzą do dyskretyzacji pewnych wielkości, np. rezystancji. Dzieje się tak dlatego, że dostępna rozdzielczość technologii jest zawsze skończona, więc nie można uzyskać każdego wymiaru w każdą stronę. Ponadto każdy obszar domieszkowania czy metalizacji może wywołać powstanie elementów pasożytniczych, które oczywiście nie są wprowadzone intencjonalnie, lecz wpływają na prace układu. Aby określić wpływ tych elementów dokonano ich ekstrakcji oraz wykonano analizę LVS (*Layout Versus Schematic*), która pozwoliła ocenić wpływ elementów pasożytniczych na otrzymane przebiegi.

Ponadto w projekcie wykorzystano możliwości analizy *worst/best case*, która była dostępna w wykorzystywanych design kitach. Dzięki tej analizie można zbadać wpływ rozrzutu parametrów technologicznych na specyfikację układów. Każda, nawet najbardziej doskonała i powtarzalna technologia ma pewną tolerancję wykonania, a co za tym idzie może

się zdarzyć, że wykonane elementy będą miały nieco rozbieżne parametry. Co więcej, warunki pracy układów mogą się także zmieniać, co należy uwzględnić w projekcie i w miarę możliwości minimalizować wahania parametrów układu z tym związane.

Po wykonaniu wszystkich opisanych kroków układy zatwierdzone do wykonania miały parametry zebrane w tabeli 5.

Tabela 5

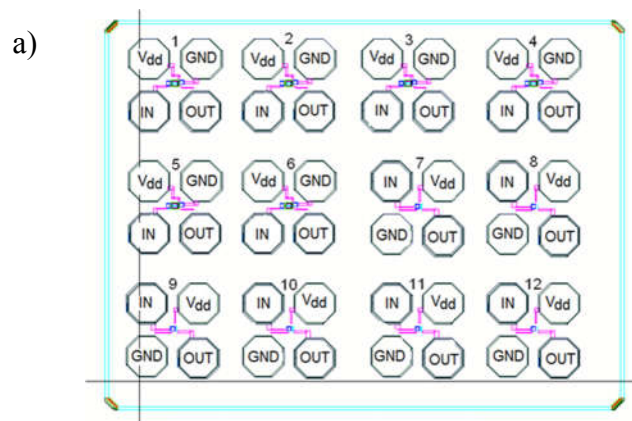
Parametry układów wybranych do realizacji praktycznej.

Układ	BW [GHz]	P [mW]	G [kΩ]	GBWP [THzΩ/mW]
1-stopniowy HBT	2.09	0.08	2.1	59
3-stopniowy HBT	3.5	0.1	2.2	8.3

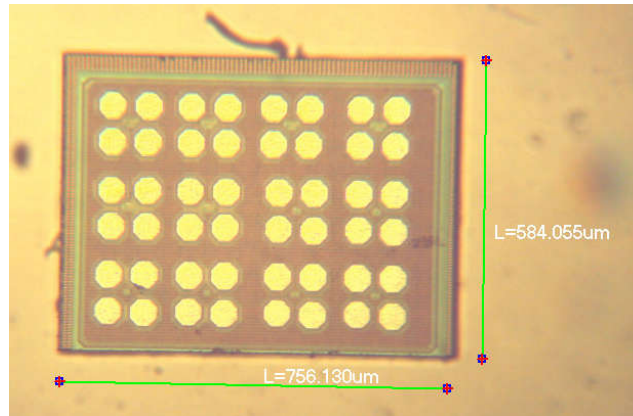
Kończącym krokiem w kierunku realizacji projektu jako ASIC było podłączenie pól do bondingu (tzw. *padów*), wykonanie pasywacji całego chipu oraz ekstrakcja masek. Finalny plik został wysłany do IHP i na jego podstawie wykonano zamówione układy.

11. Pomiary ASIC

Zgodnie z kontraktem IHP wykonało 12 próbek, z czego 4 zostały dostarczone bez obudowy, a pozostałe w obudowach DIL24 i SOIC24.



b)



Rys.5. ASIC z rozmieszczonymi układami: a) projekt,
b) zdjęcie dostarczonego układu.

Aby mieć możliwość dokonania pomiarów, zaprojektowano i wykonano głowice pomiarowe dla obydwu typu obudów. Zbudowano także stanowisko pomiarowe, przedstawione w skład którego wchodziły sondy ostrzowe, analizator widma Signal Hound USB-SA44A, SA44A, generator Agilent N9310A oraz oscyloskop Tektronix DPO7354C przystosowany do pomiaru sygnałów wysokiej częstotliwości z maksymalną częstotliwością 3,5GHz i próbkowaniem 4Gs. Zastosowany analizator widma umożliwia pomiar w zakresie częstotliwości od DC – do 4,4GHz.

Pierwszych pomiarów dokonano w stanie statycznym, bez wymuszenia, do wejścia i wyjścia układu były podłączone tylko woltomierze o wysokiej rezystancji, mierzono także prąd pobierany z zasilacza. Niestety okazało się, że układy 3-stopniowe HBT mają wadę polegającą na braku warstwy polikrzemu na połączeniach rezystorów, co niemożliwo ich charakteryzację. Dlatego prezentowane wyniki odnoszą się tylko do układu 1-stopniowego HBT. Wyniki pomiarów uzyskanych przy napięciu zasilania $V_{dd} = 2.0V$ zostały zebrane w tabeli 6, przy czym numery struktur odnoszą się do ich oznaczenia na Rys. 5.a.

Tabela 6

Wyniki pomiarów DC oraz symulacji analogicznego układu w symulatorze Spectre.

# numer struktury / obudowa	Napięcie wejściowe V_{IN}	Napięcie wyjściowe V_{OUT}	Prąd zasilacza I_{dd}	Moc pobierana z zasilacza
7 / brak	1.3V	1.31V	37 μ A	74 μ W
8 / brak	1.3V	1.31V	37 μ A	74 μ W

9 / brak	1.29V	1.3V	38 μ A	76 μ W
10 / brak	1.68V	1.68V	38 μ A	76 μ W
11 / brak	1.76V	1.76V	38 μ A	76 μ W
12 / brak	575mV	575mV	10 μ A	20 μ W
9 / DIL24	770mV	778mV	29 μ A	38 μ W
12 / DIL24	772mV	787mV	29 μ A	38 μ W
symulacja	768mV	768mV	29μA	38μW

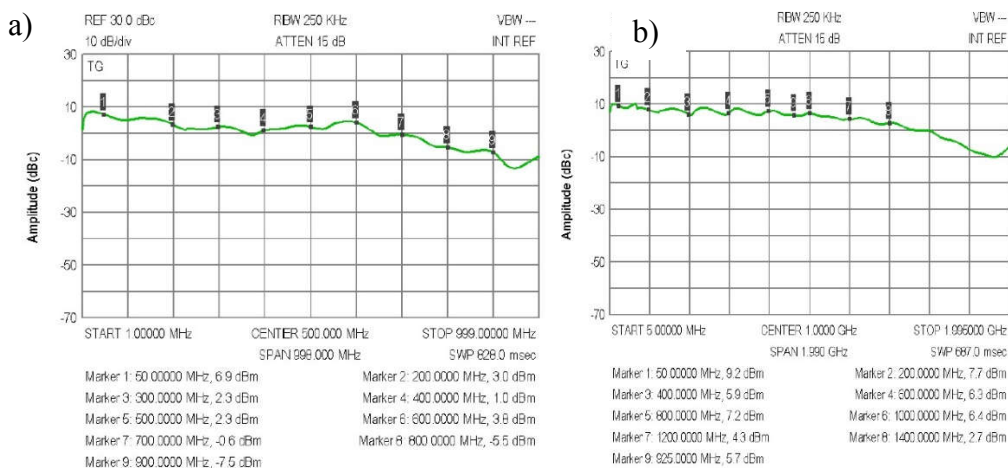
Ostatnia kolumna zawiera wartość mocy pobieraną z zasilacza, liczoną jako iloczyn prądu zasilacza oraz napięcia zasilania V_{dd} . W ostatnim rzędzie tabeli 6. przedstawiono wynik symulacji wzmacniacza 1-stopniowego HBT przy takich samych warunkach wejścia/wyjścia. Widać wyraźnie, że najlepsza zgodność pomiędzy symulacjami a pomiarami zachodzi w przypadku pomiarów dla obudowy DIL24. Wyniki wszystkich pomiarów wykonanych z użyciem sond ostrzowych są do siebie zbliżone, za wyjątkiem struktury #12, ale odbiegają od wyników uzyskanych dla struktur w obudowie DIL24 oraz uzyskanych w symulacjach. Większe całkowite straty mocy uzyskane w tym przypadku są zapewne wynikiem wykorzystania sond ostrzowych.

Analiza AC była wykonana dla różnych poziomów napięcia zasilania i układów w obu typu obudowach (DIL24 oraz SOIC24). Wyniki zebrane w tabeli 7. potwierdzają dość silny wpływ użytej obudowy na osiągnięte parametry układu. Dla obudowy typu SOIC24 i napięcia 2.1V uzyskano najlepsze wyniki: pasmo 1.2GHz oraz wzmacnienie 0.7k Ω , jednak i te nie potwierdzały do końca obliczeń teoretycznych, przedstawionych w tabeli 5. Uzyskane analizy AC dla poszczególnych obudów przedstawiono na Rys. 6.

Tabela 7

Parametry wzmacniaczy uzyskane podczas analizy AC

Obudowa	Napięcie zasilania [V]	Pasmo [GHz]	Wzmocnienie [kΩ]
DIL24	1.3	0.6	0.4 k Ω
SOIC24	2.1	1.2	0.7 k Ω



Rys. 6. Najlepsze charakterystyki AC uzyskane dla topologii 1-stopniowego wzmacniacza HBT: a) obudowa DIL24, b) obudowa SOIC24.

Dokonując podsumowania wyników należy zwrócić uwagę na to, że rodzaj użytej obudowy, lub jej brak, mocno wpływał na uzyskiwane wyniki i stopień komplikacji układu pomiarowego. Pomiar DC układu w obudowie DIL24 był zgodny z wynikami symulacji. Lepsze wyniki z analizy AC uzyskano dla obudowy SOIC24, która to obudowa rzeczywiście bardziej nadaje się do układów pracujących z wyższymi częstotliwościami.

12. Podsumowanie

W pracy dokonano analizy kilku koncepcji wzmacniacza transimpedancyjnego pod kątem zastosowania w systemach optycznej transmisji sygnału wewnątrz układów VLSI. Ponadto zaproponowano autorską metodę rozwiązania problemu optymalizacji wielokryterialnej przy zastosowaniu metody frontów Pareto oraz własnej implementacji algorytmu genetycznego. Całość została zaprogramowana w języku Java tworząc oprogramowanie RUNE, które sprzęgnięte z symulatorem Spectre z pakietu Cadence pozwoliło przeprowadzić szereg procesów optymalizacyjnych wytypowanych układów TIA.

Następnie na podstawie opracowanego kryterium selekcji dokonano wyboru układów do realizacji fizycznej. Zaprojektowano layouty, przeprowadzono całą analizę wpływu elementów pasożytniczych, dokonano weryfikacji *best/worst case* oraz dla ostatecznie uzyskanych układów wygenerowano maski i przesłano do firmy IHP Microelectronics, gdzie nastąpił proces wykonania struktur ASIC. Następnie dla otrzymanych układów wykonano szereg pomiarów, z których wnioski zostały przedstawione w sekcji 11.

Na podstawie przeprowadzonych badań należy stwierdzić, że tezy pracy zostały potwierdzone i jest możliwe opracowanie procedury optymalizacyjnej pozwalającej na zaprojektowanie przedwzmacniacza odbiornika optycznego dla krótkich optycznych linii transmisyjnych charakteryzujących się małym poborem mocy oraz układy przedwzmacniaczy mogą zostać zrealizowane jako struktury ASIC przy użyciu istniejących technologii.

Wyniki przeprowadzonych symulacji pozwalają także stwierdzić, że technologia heterozłączowa Si/SiGe stanowi ciekawą i obiecującą alternatywę dla technologii CMOS oraz związków grupy III-V, szczególnie w optoelektronice. Z jednej strony jest to technologia tania i kompatybilna z CMOS, a z drugiej strony ma bardzo duże możliwości, zwłaszcza w zastosowaniu do układów wysokiej częstotliwości czy optoelektroniki zintegrowanej.

13. Literatura

- [INGE-99] M. Ingels, *A 1Gb/s, 0.7um CMOS Optical Receiver with Full Rail-to-Rail Output Swing*, IEEE Journal of Solid-State Circuits, vol. 34, no. 7, July 1999
- [WOOD-99] T.K. Woodward, A.V. Krishnamoorthy, *1-Gb/s Integrated Optical Detectors and Receivers in Commercial CMOS Technologies*, IEEE Journal of Selected Topics in Quantum Electronics, vol. 5, no. 2, March/April 1999
- [NAKA-99] T. Nakahara, *Hybrid Integration of Smart Pixel by Using Polyamide Bonding: Demonstration of a GaAs pin Photodiode/CMOS Receiver*, IEEE Journal of Selected Topics in Quantum Electronics, vol. 5, no. 2, March/April 1999
- [SCHR-02] K. Schrodinger, *A fully integrated CMOS Receiver Front-End for Optic Gigabit Ethernet*, IEEE Journal of Solid-State Circuits, vol. 37, no. 7, July 2002
- [INGE-99] M. Ingels, *A 1Gb/s, 0.7um CMOS Optical Receiver with Full Rail-to-Rail Output Swing*, IEEE Journal of Solid-State Circuits, vol. 34, no. 7, July 1999
- [SWOB-03] R. Swoboda, H. Zimmermann, *A Low-Noise Monolithically Integrated 1.5 Gg/s Optical Receiver in 0.6-um BiCMOS Technology*, IEEE Journal of Selected Topics in Quantum Electronics, vol. 9, no. 2, March/April 2003
- [PARK1-04] S. M. Park, J. Lee, H.-J. Yoo, *1-Gb/s 80-dBΩ Fully Differential CMOS Transimpedance Amplifier in Multichip on Oxide Technology for Optical Interconnects*, IEEE Journal of Solid-State Circuits, vol. 39, no. 6, June 2004
- [QASA-00] O. Qasimeh et al. *Monolithically Integrated SiGe/Si PiN HBT Photoreceiver*, Journal Lightwave Technology, vol. 18, no. 11, November 2000
- [PARK2-04] S.M. Park, *Four Channel SiGe Transimpedance Amplifier array for parallel optical interconnects*, ISCAS Volume 4, p. 23-26 May 2004
- [WEIN-03] Joseph S. Weiner et al., *SiGe Differential Transimpedance Amplifier With 50-GHz Bandwidth*, IEEE Journal of Solid-State Circuits, vol. 38, no. 9, September 2003